Министерство науки и высшего образования Российской Федерации

Федеральное государственное бюджетное образовательное учреждение высшего образования

«Рязанский государственный радиотехнический университет имени В.Ф. Уткина»

Кафедра «ПРВД»

**Отчет**

**по лабораторной работе** №1

«Исследование дешифраторов, мультиплексоров»

**по дисциплине**

«Архитектура ЭВМ»

Выполнил:

Барышев Г.А.

Проверил:

Захаров М.А.

Рязань 2025

**Дата выполнения лабораторной работы: 01.03.2025**

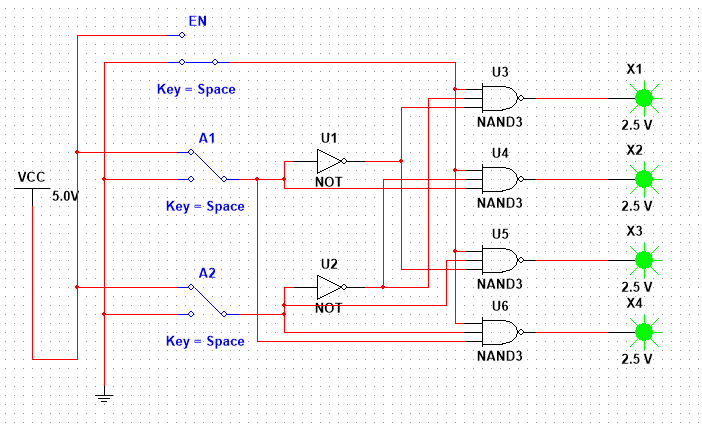
**Цель работы**

Изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов. Изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

**Исследование дешифраторов**

**Исследование линейного двухвходового дешифратора с инверсными выходами**

а) собрать линейный стробируемый дешифратор на элементах 3И-НЕ; наборы входных адресных сигналов 0 1 , A A задать в выходов 0 1 , Q Q четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;

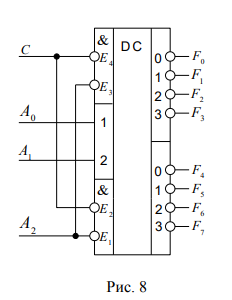


б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при ЕN=1);

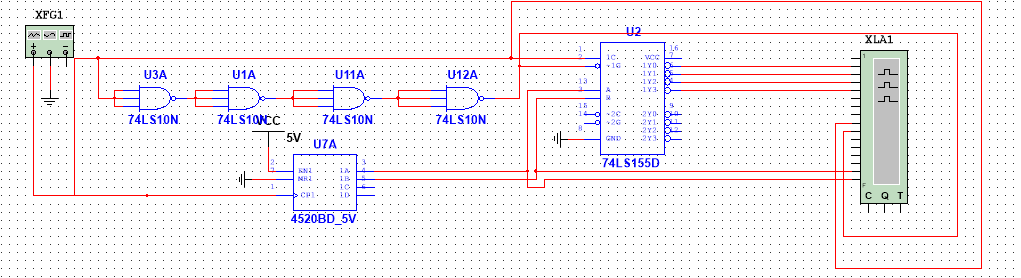
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| EN | A1 | A2 | F1 | F2 | F3 | F4 |
| 0 | x | x | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 |

**Исследование дешифраторов ИС К155ИД4 (74LS155), рис.**

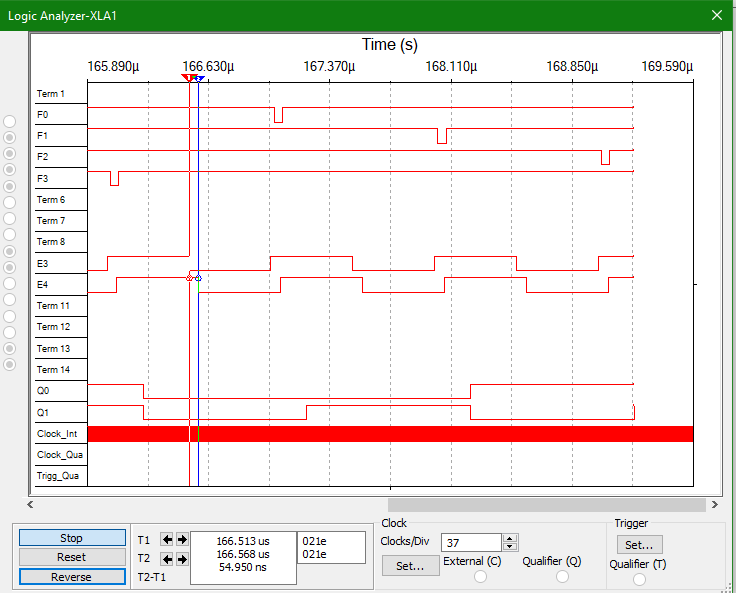
***Задание:***

****

1. снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q0 и Q1 выходов счетчика, а на стробирующие входы 3 и 4 – импульсы генератора, задержанные линией задержки;

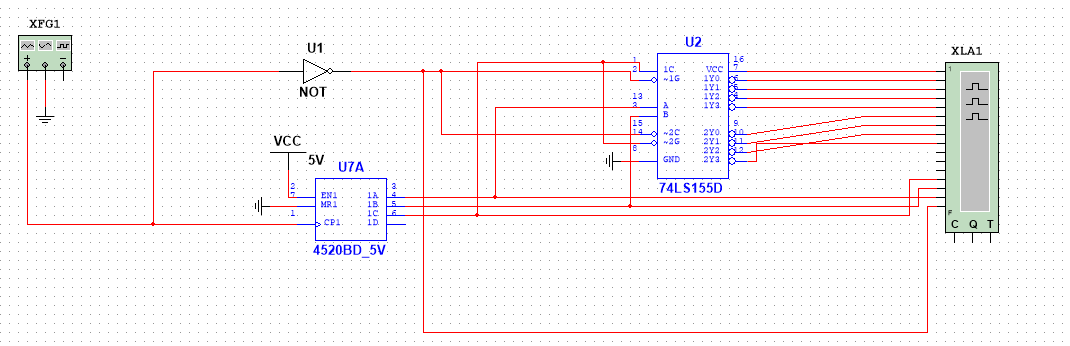
****

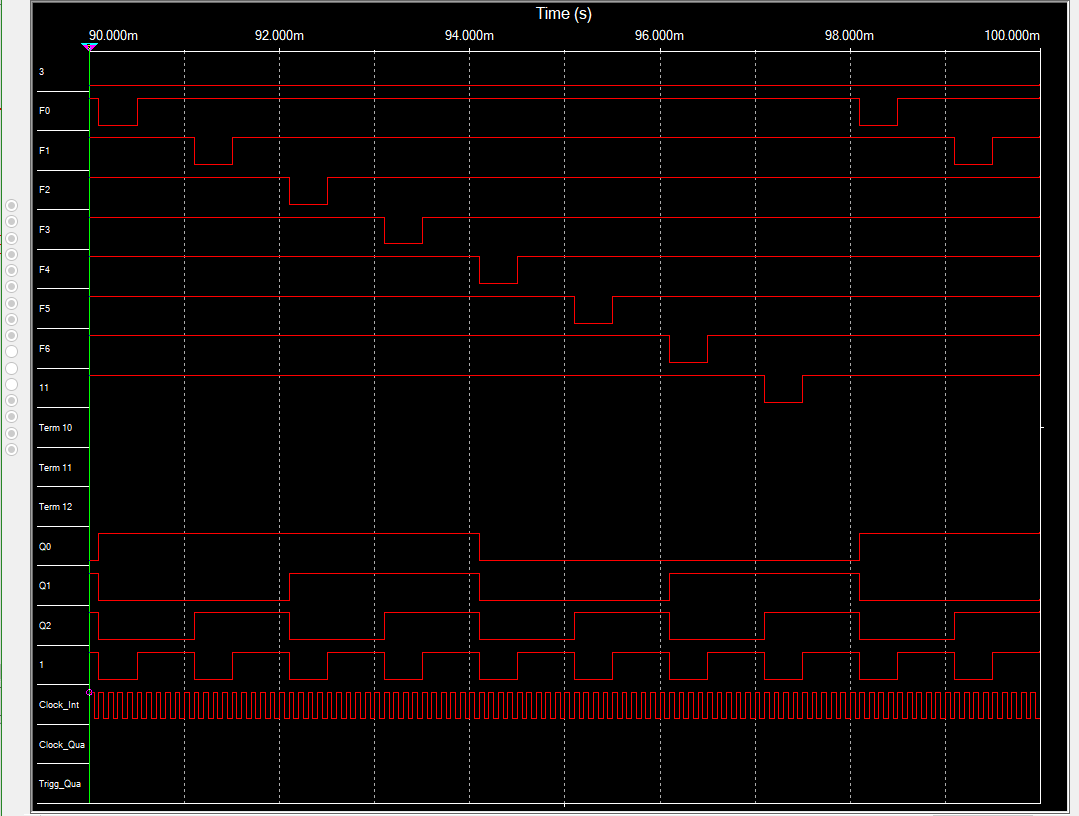
1. определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;

****

**Время задержки: 54 нс**

1. собрать схему трёх-входового дешифратора на основе дешифратора *К155ИД4* (74LS155)(см. рис. 8), задавая входные сигналы A1 A2 A3, с выходов Q0 Q1 Q2, счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

******

******

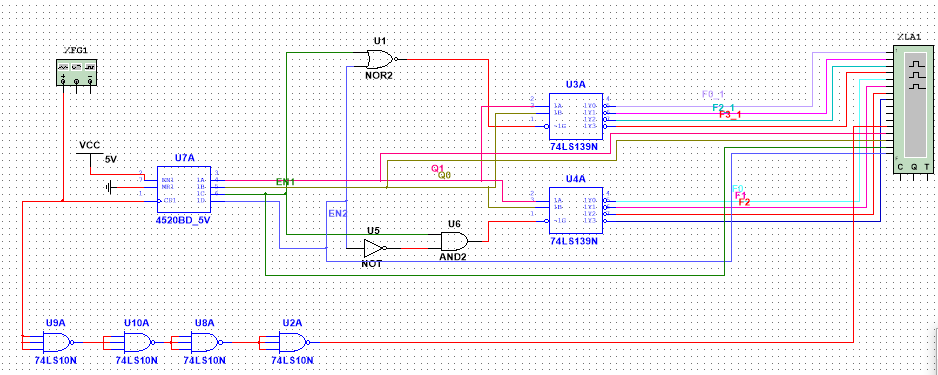
***Изображение выглядит как текст, снимок экрана, число, линия

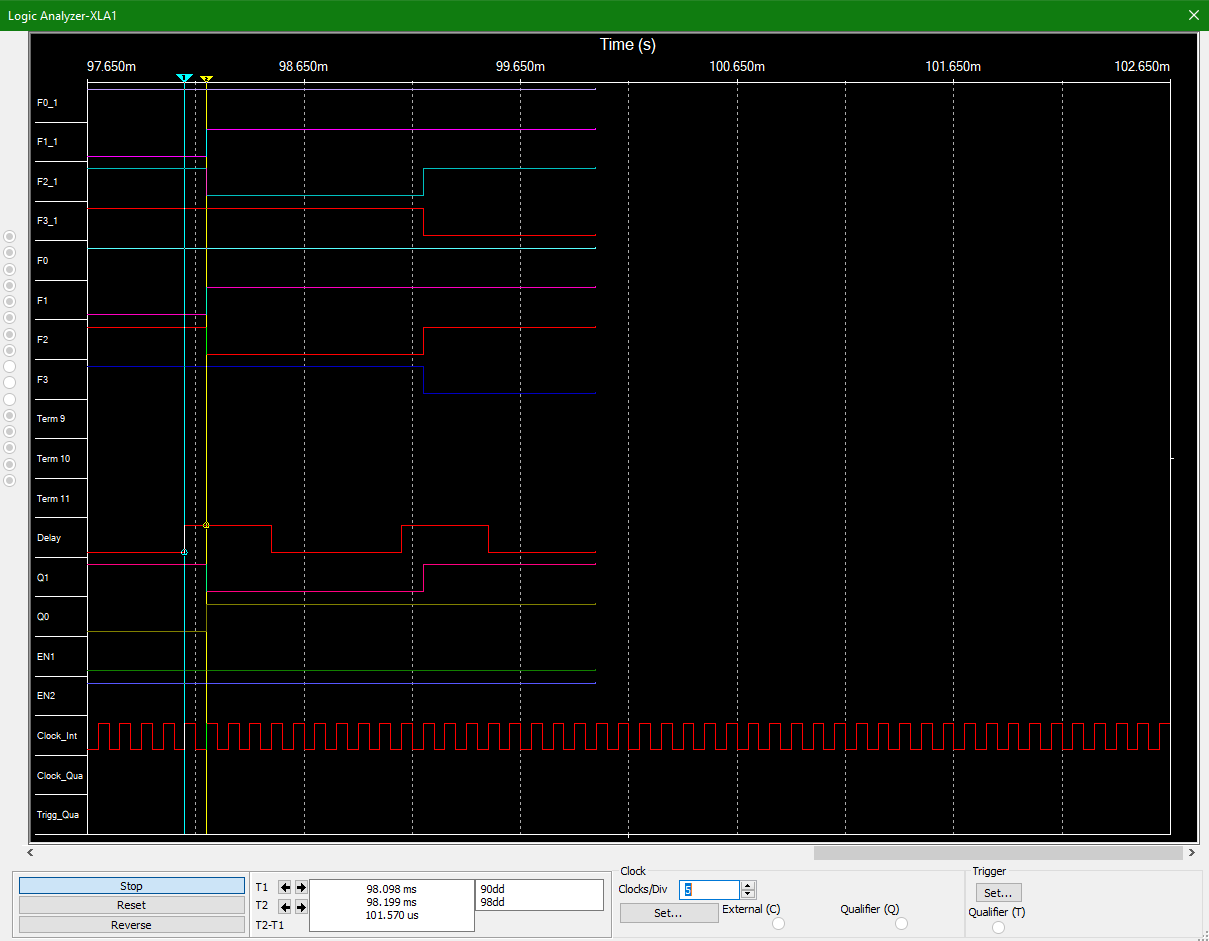
Контент, сгенерированный ИИ, может содержать ошибки.***

**Исследование дешифраторов ИС КР531ИД14 (74LS139)**

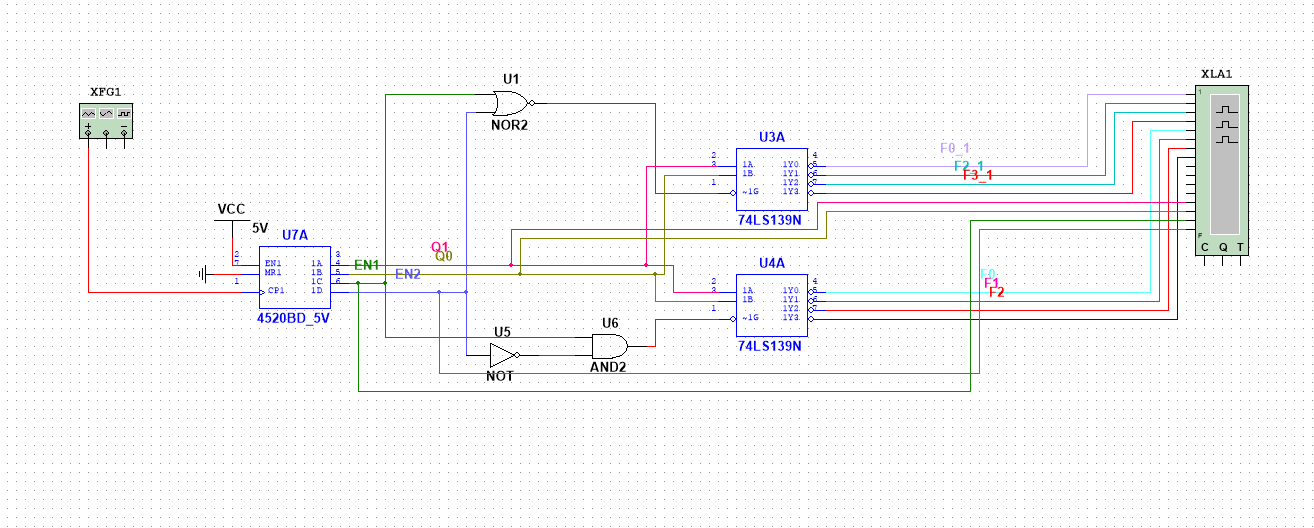
***Задание:***

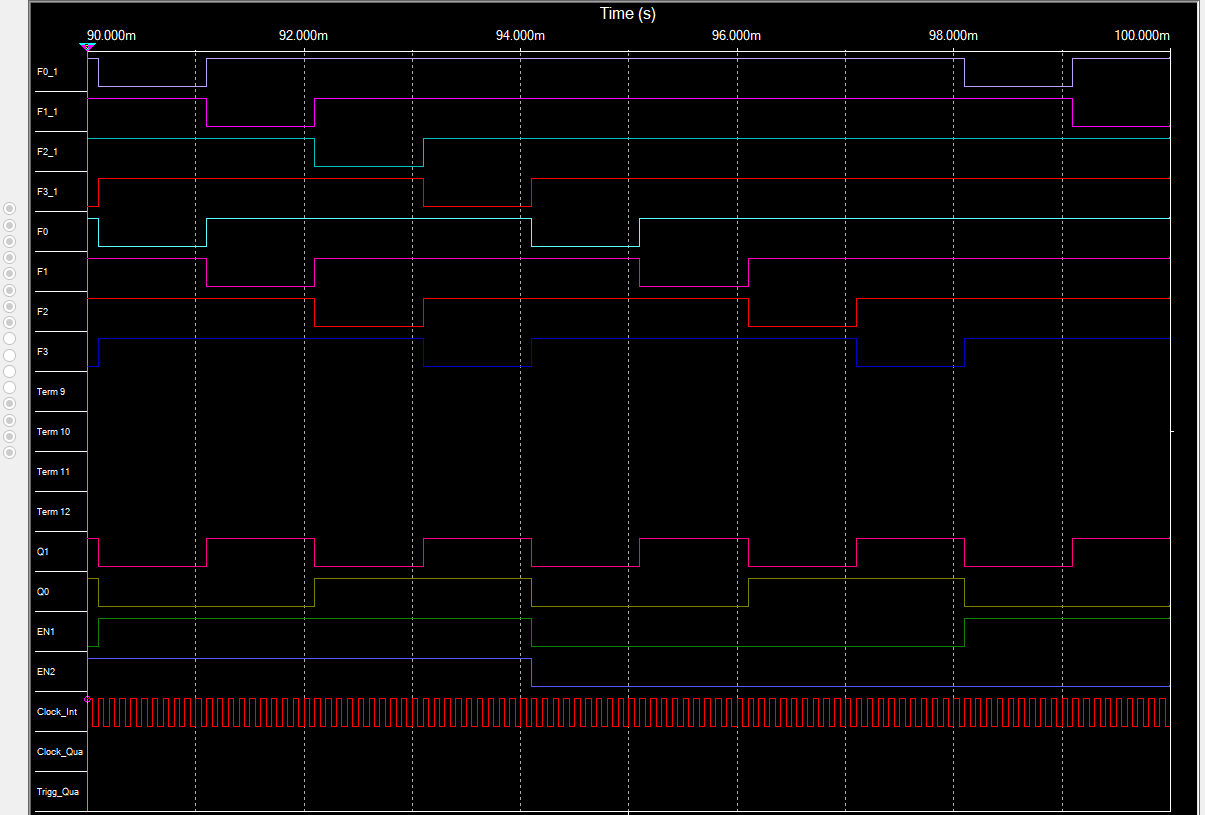
*ИС 74LS139* содержит два дешифратора DC 2-4 (U1A и U1B, см. рис. ниже) с раздельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции 1· 2, ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.

****

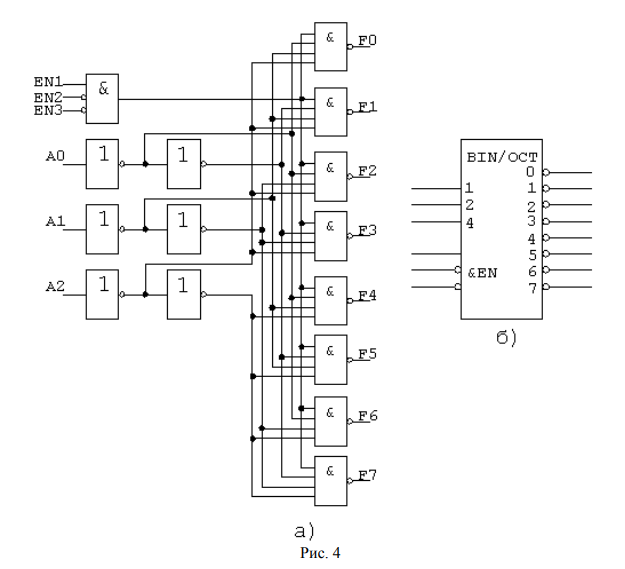
****

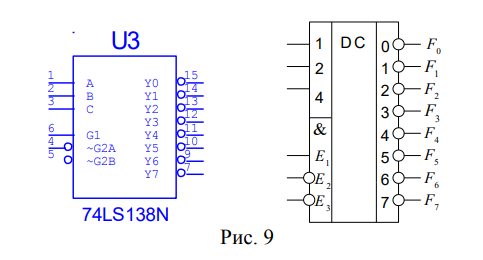
**Задержка: 101 ns**

****

******

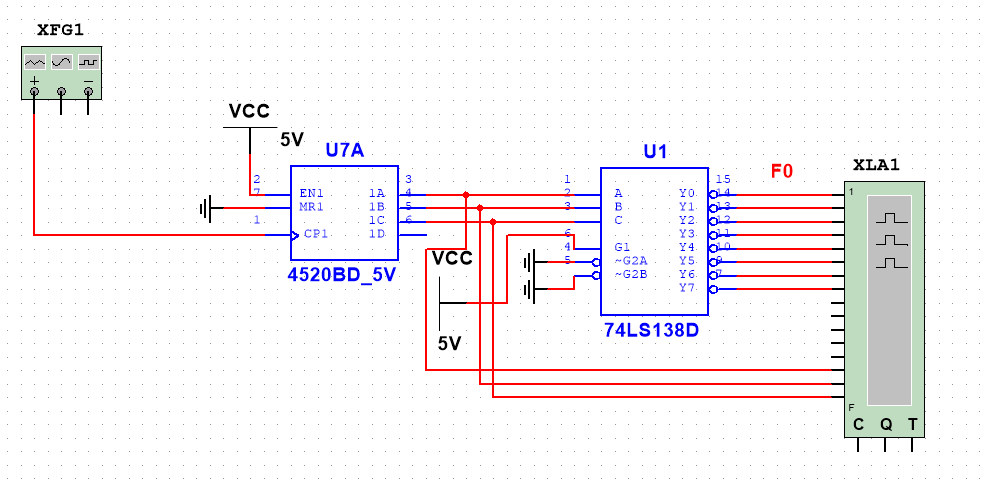
**Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138):**

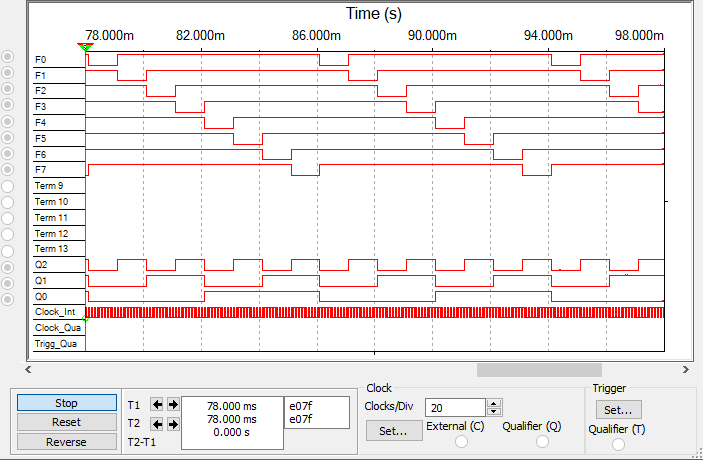
****

****

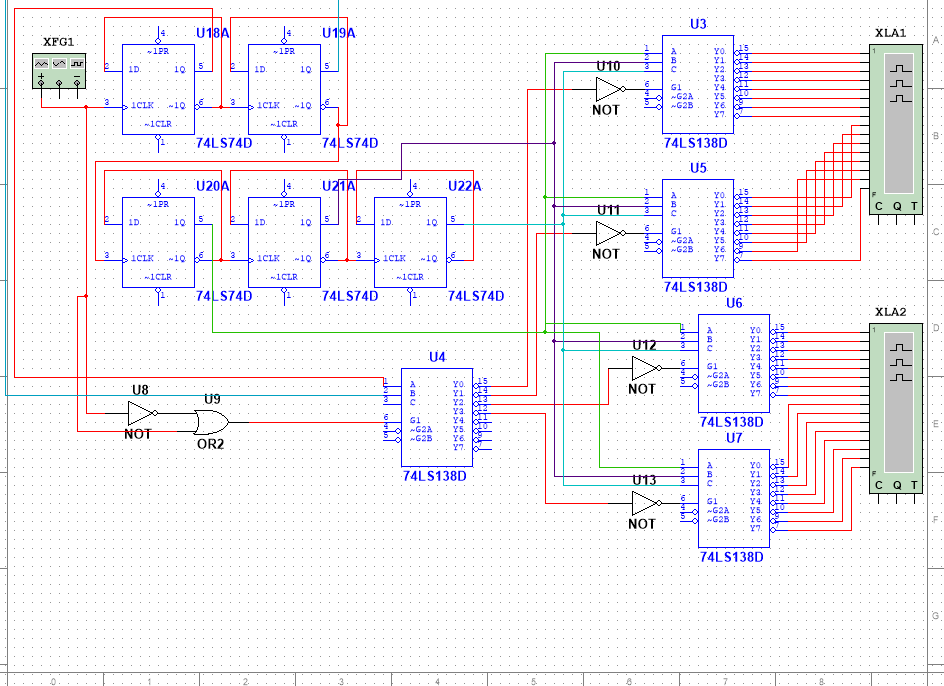
***Задание:***

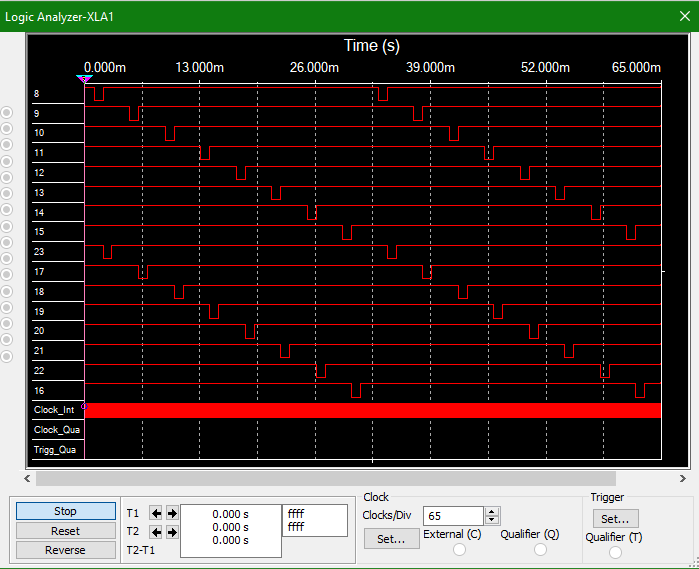
1. снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы Q0 Q1 Q2, с выходов счетчика, а на входы разрешения Е1, Е2, Е3 – сигналы лог. 1, 0, 0 соответственно;

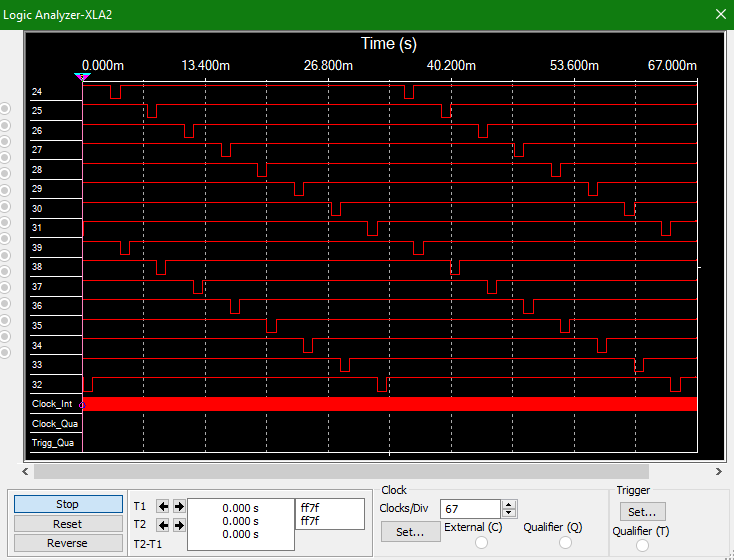
****

****

1. собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q0, Q1, Q2, Q3, Q4 c выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора , задержанные линией задержки макета.

******

******

******

**Исследование мультиплексоров**

**1.Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатора MUX 8–1 цифровых сигналов:**

Изображение выглядит как текст, диаграмма, линия, План

Контент, сгенерированный ИИ, может содержать ошибки.

1. На информационные входы D0 …D7 мультиплексора подать комбинацию сигналов. Логические уровни 0 и 1 задавать источниками напряжения U=5 В и 0 В (общая);
2. На адресные входы А2, А1, А0 подать сигналы Q3, Q2. Q1 соответственно c выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц.
3. Снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.

Изображение выглядит как текст, диаграмма, План, схематичный

Контент, сгенерированный ИИ, может содержать ошибки.

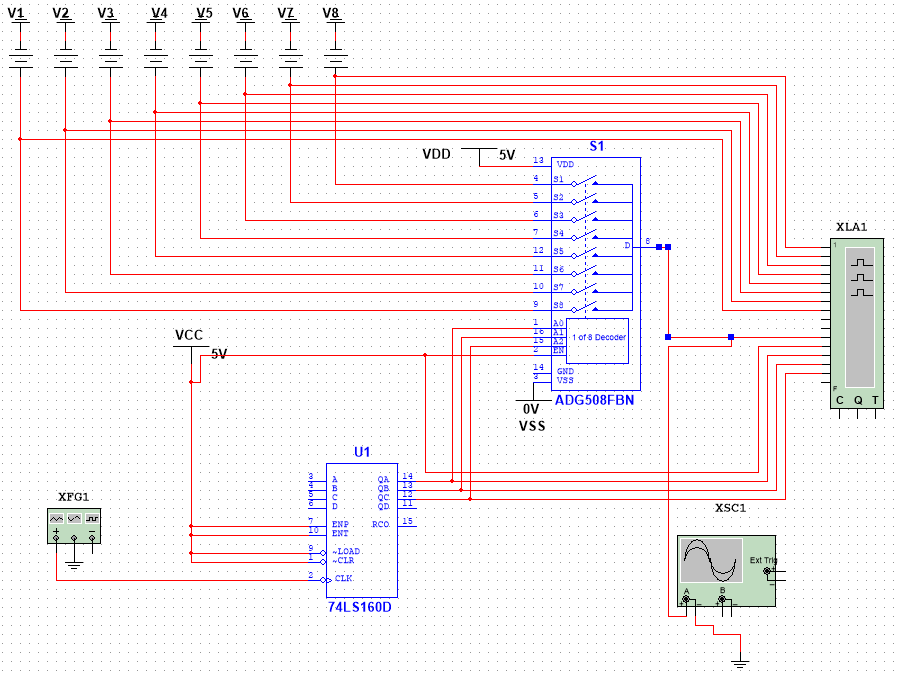
Изображение выглядит как текст, снимок экрана, дисплей, программное обеспечение

Контент, сгенерированный ИИ, может содержать ошибки.

Проводя анализ полученных данных, можно заметить, что на самом деле мультиплексор выполняет функцию адресного коммутатора, т.е. выполняет передачу на выход того информационного сигнала, адрес которого установлен на адресных входах.

**2. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 аналоговых сигналов:**

1. На информационные входы D0 …D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Мultisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;
2. На адресные входы А2, А1, А0 подать сигналы Q3, Q2. Q1 соответственно c выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц;
3. Снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.



Изображение выглядит как текст, снимок экрана, дисплей, число

Контент, сгенерированный ИИ, может содержать ошибки.

Изображение выглядит как текст, снимок экрана, График, диаграмма

Контент, сгенерированный ИИ, может содержать ошибки.

Исходя из приведенных выше данных можно сделать вывод о том, что на самом деле выходной сигнал имеет не дискретную природу, а представляет собой некую функциональную зависимость.

Изображение выглядит как Шрифт, рукописный текст, дизайн

Контент, сгенерированный ИИ, может содержать ошибки.

Следует отметить, что ввиду переходных процессов внутри мультиплексора, выходной сигнал получается с задержкой.

Изображение выглядит как Шрифт, текст, дизайн

Контент, сгенерированный ИИ, может содержать ошибки.

**3.Исследование ИС ADG408 или ADG508 как коммутатора MUX 8–1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных.**

Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.

**f(1110 0111 0101 1000)**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| ***x4*** | ***x3*** | ***x2*** | ***x1*** | ***f*** | *Примечание* |
| 0 | 0 | 0 | 0 | 1 | D0=1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | D1= ~x1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | D2 = x1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | D3 = 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | D4 = x1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | D5 = x1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | D6 = ~x1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | D7 = 0 |
| 1 | 1 | 1 | 1 | 0 |

Изображение выглядит как текст, диаграмма, План, схематичный

Контент, сгенерированный ИИ, может содержать ошибки.

Изображение выглядит как текст, снимок экрана, дисплей, число

Контент, сгенерированный ИИ, может содержать ошибки.

Исходя из данных, полученных с логического анализатора, построенная схема работает верно.

**4. Наращивание мультиплексора.**

Построить схему мультиплексора MUX 16–1 на основе простого мультиплексора MUX 4–1 и дешифратора DC 2-4 (рис.2, второй вариант наращивания, см. выше). Исследовать мультиплексора MUX 16–1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0 …D15 – из табл. 2. Провести анализ временной диаграммы сигналов мультиплексора MUX 16–1. мультиплексора MUX 16–1.

**Изображение выглядит как текст, диаграмма, План, Технический чертеж

Контент, сгенерированный ИИ, может содержать ошибки.**

Изображение выглядит как текст, снимок экрана, дисплей, программное обеспечение

Контент, сгенерированный ИИ, может содержать ошибки.

**Вывод**

Я изучил приципы построения и методы синтеза дешифраторов, произведено макетирование и экспериметальное исследование дешифраторов. В ходе работы были составлены таблицы истинности, произведён анализ временных характеристик дешифраторов.